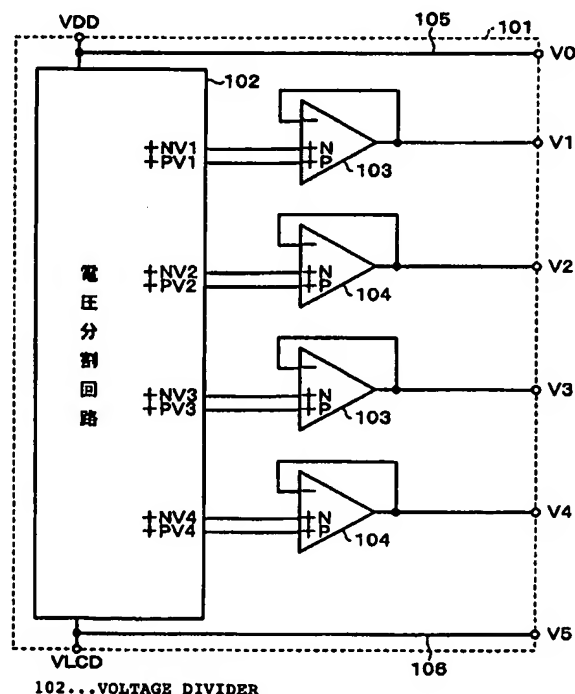




(51) 国際特許分類7 <b>G02F 1/133, G09G 3/36</b>	<b>A1</b>	(11) 国際公開番号 <b>WO00/41028</b>  (43) 国際公開日 2000年7月13日(13.07.00)
(21) 国際出願番号 PCT/JP00/00038  (22) 国際出願日 2000年1月7日(07.01.00)  (30) 優先権データ 特願平11/2912 1999年1月8日(08.01.99) JP  (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 山口 寿(YAMAGUCHI, Hisashi)[JP/JP] 安江 匡(YASUE, Tadashi)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)  添付公開書類 国際調査報告書
<p>(54)Title: <b>LCD DEVICE, ELECTRONIC DEVICE, AND POWER SUPPLY FOR DRIVING LCD</b></p> <p>(54)発明の名称 液晶駆動用電源装置並びにそれを用いた液晶装置及び電子機器</p> <p>(57) Abstract          A power supply unit for driving a liquid-crystal device comprises a voltage divider circuit (102) for dividing the voltage between (V0) and (V5) to produce four pairs of voltages (V1~V4), first voltages (NV1 to NV4) and second voltages (PV1 to PV4); and four impedance converter circuits (103, 104) for producing liquid-crystal driving voltages (V1 to V4) based on the four pairs of first and second voltages. Each of the impedance converter circuits comprises voltage-follower differential amplifier circuits (120, 110) to which a pair of first and second voltages is applied, and an output circuit (130) driven by the differential amplifier circuits. The N-type transistor (134) and P-type transistor (132) of an output circuit are independently driven by the first and second output voltages (VN, VP) from the differential amplifier circuits (120, 110).</p>		



# (57)要約

液晶装置を駆動するために、第1, 第2の基準電圧間の4個の液晶駆動電圧V1~V4を生成する本発明の液晶駆動用電源装置は、4対の第1の電圧NV1~NV4及び第2の電圧PV1~PV4を、電圧V0, V5間の電圧を分割して生成する電圧分割回路102と、4対の第1, 第2の電圧に基づいてインピーダンス変換された液晶駆動電圧V1~V4を生成する4個のインピーダンス変換回路103, 104とを有する。各インピーダンス変換回路は、一对の第1, 第2の電圧が入力されるボルテージフォロア型の差動増幅回路120, 110と、その差動増幅回路により駆動される出力回路130とを有する。出力回路中のN型トランジスタ134及びP型トランジスタ132は、差動増幅回路120, 110からの第1, 第2の出力電圧VN, VPにより独立して駆動される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LV	ラトヴィア	SN	セネガル
BB	バルバドス	GD	グレナダ	MA	モロッコ	SZ	スワジランド
BE	ベルギー	GE	グルジア	MC	モナコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MD	モルドヴァ	TG	トーゴ
BG	ブルガリア	GN	ギニア	MG	マダガスカル	TJ	タジキスタン
BJ	ベナン	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
BR	ブラジル	GW	ギニア・ビサオ		共和国	TR	トルコ
BY	ベラルーシ	HR	クロアチア	ML	マリ	TT	トリニダード・トバゴ
CA	カナダ	HU	ハンガリー	MN	モンゴル	TZ	タンザニア
CF	中央アフリカ	ID	インドネシア	MR	モーリタニア	UA	ウクライナ
CG	コンゴ	IE	アイルランド	MW	マラウイ	UG	ウガンダ
CH	スイス	IL	イスラエル	MX	メキシコ	US	米国
CI	コートジボアール	IN	インド	MZ	モザンビーク	UZ	ウズベキスタン
CM	カメルーン	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CN	中国	IT	イタリア	NL	オランダ	YU	ユーゴスラヴィア
CR	コスタ・リカ	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CU	キューバ	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CY	キプロス	KG	キルギスタン	PL	ポーランド		
CZ	チェッコ	KP	北朝鮮	PT	ポルトガル		
DE	ドイツ	KR	韓国	RO	ルーマニア		
DK	デンマーク						

## 明 細 書

## 液晶駆動用電源装置並びにそれを用いた液晶装置及び電子機器

## 〔技術分野〕

本発明は、液晶装置を駆動する液晶駆動用電源装置並びにそれを用いた液晶装置及び電子機器に関する。

## 〔背景技術〕

従来の液晶駆動用電源装置において消費電流を低減する方法が、特開平6-324640、特開平7-98577、特開平9-43568等に記載されている。図7に従来の液晶駆動用電源装置の一例を示す。

図7に示す液晶駆動用電源装置701は、電圧分割回路702と、2つの第1のインピーダンス変換回路703と、2つの第2のインピーダンス変換回路704とを有する。

電圧分割回路702は、抵抗素子706～710を含み、電源電圧VDDと液晶駆動用基準電圧VLCD間の電圧を分割して多値の電圧V1～V4を生成する。

この液晶駆動用電源からは、電源電圧VDDを電圧V0とし、液晶駆動用基準電圧VLCDを電圧V5とすると、これらを含めた電圧V0～V5は、図13に示す走査電極（コモン電極ともいう）COM0、COM1、COMXと、図14に示す信号電極（セグメント電極ともいう）SEG1～4とに供給される液晶駆動波形の各種電圧レベルを形成する。

第1のインピーダンス変換回路703は、図8に示すように、定電流回路801、P型差動増幅回路802及び出力回路803にて構成される演算増幅器を、ボルテージフォロワ接続することにより形成される。また、出力回路803におけるN型トランジスタ805は、定電流回路801より一定のバイアス電圧が与えられることにより電流源を形成し、P型トランジスタ804の負荷を構成している。

電圧 $V_1$ 、 $V_3$ を生成する第1のインピーダンス変換回路703の特性は、電圧 $V_1$ または $V_2$ が供給される走査電極（コモン電極）または信号電極（セグメント電極）での電荷の移動方向を考慮して決定される。すなわち、図13および図14にて符号1102で示すように、第1のインピーダンス変換回路703から電極に移動させる必要がある電荷量は、正極性の方が大である。このため、第1のインピーダンス変換回路703では、電流を電極に流し出すP型トランジスタ804をアクティブ素子としている。

第2のインピーダンス変換回路704は、図9に示すように定電流回路901、N型差動増幅回路902および出力回路903を有する演算増幅器を、ボルテージフォロワ接続することにより形成される。また、出力回路903におけるP型トランジスタ904は、定電流回路901より一定のバイアス電圧が与えられることにより電流源を形成し、N型トランジスタ905の負荷を構成している。

電圧 $V_2$ 、 $V_4$ を生成する第2のインピーダンス変換回路704の特性もまた、電圧 $V_2$ または $V_4$ が供給される走査電極（コモン電極）または信号電極（セグメント電極）での電荷の移動方向を考慮して決定される。すなわち、図13および図14にて符号1201で示すように、第2のインピーダンス変換回路704から電極に移動させる必要がある電荷量は、負極性の方が大である。このため、第2のインピーダンス変換回路704では、電流を電極より引き込むN型トランジスタ905をアクティブ素子としている。

そして、前述した電圧分割回路702の各分割電圧 $V_1 \sim V_4$ のうち、電圧 $V_1$ 、 $V_3$ は2つの第1のインピーダンス変換回路703の+端子にそれぞれ入力され、電圧 $V_2$ 、 $V_4$ は2つの第2のインピーダンス変換回路704の+端子にそれぞれ入力される。これにより、各電圧 $V_1 \sim V_4$ のインピーダンス変換を行い、液晶駆動用電圧 $V_1 \sim V_4$ を生成している。

従来の液晶駆動用電源装置は、インピーダンス変換回路の出力回路にアクティブロードを使用し、その負荷となるトランジスタに流れる電流を極力少なくするようにして、インピーダンス変換回路に流れる消費電流を低減していた。

上述したインピーダンス変換回路において、負荷となるトランジスタに流れる

電流を制限しながら表示品質を一定に保つためには、前述した負荷電流を補う必要がある。このため、図7に示すように、電圧V1～V4の出力線の各々と電圧V0（VDD）の出力線との間にコンデンサ素子705を付加する必要があった。これらのコンデンサ素子705にチャージされた電荷をディスチャージすることで、前述した負荷電流を補うことができる。

しかし、これらのコンデンサ素子705は容量が大きいため、液晶駆動用電源装置の外部に外付けするしかなかった。

液晶装置を内蔵する電子機器特に携帯用電子機器では、小型化並びにコストダウンが強く要求されており、コンデンサ素子等の実装部品を削減しながら、表示品質を維持する必要があった。

本発明は、以上の問題点を解決するためになされたものであり、その目的とするところは、低消費電流化を図ることができる液晶駆動用電源装置並びにそれを用いた液晶装置及び電子機器を提供することにある。

本発明の他の目的は、表示品質を維持しながら、コンデンサ素子等の部品を省力できる液晶駆動用電源装置並びにそれを用いた液晶装置及び電子機器を提供することにある。

#### [発明の開示]

液晶装置を駆動するために、第1，第2の基準電圧間のN個の液晶駆動電圧を生成する本発明の液晶駆動用電源装置は、

各々の前記N個の液晶駆動電圧以上のN個の第1の電圧と、各々の前記N個の液晶駆動電圧以下のN個の第2の電圧とからなるN対の第1，第2の電圧（ただし、各対にて第1の電圧≠第2の電圧）を、前記第1，第2の基準電圧間の電圧を分割して生成する電圧分割回路と、

前記N対の第1，第2の電圧に基づいて、インピーダンス変換された前記N個の液晶駆動電圧を生成するN個のインピーダンス変換回路と、

を有する。

前記N個のインピーダンス変換回路の各々は、

前記N対の第1, 第2の電圧の中の一対の第1, 第2の電圧が入力されるボルテージフォロア型の差動増幅回路と、

前記第1の基準電圧を供給する第1の給電線と前記第2の電圧を供給する第2の給電線との間に直列接続されたP型トランジスタ及びN型トランジスタとを含み、前記P型トランジスタと前記N型トランジスタの間に接続された出力端子より前記液晶駆動電圧を出力する出力回路と、

を有する。

そして、N型トランジスタは差動増幅回路からの第1の出力電圧によりオン、オフ制御され、P型トランジスタは差動増幅回路からの第2の出力電圧によりオン、オフ制御される。

本発明によれば、各インピーダンス変換回路において、互いに異なる第1, 第2の電圧が入力されるボルテージフォロア型の差動増幅器から、互いに異なる第1, 第2の出力電圧が出力される。各インピーダンス変換回路において、第1, 第2の出力電圧により、出力回路のN型, P型トランジスタをそれぞれ独立してオン、オフ制御することで、液晶駆動用電圧を生成することができる。

ここで、前記差動増幅回路は、前記出力端子の出力電圧が前記第1の電圧より高い時には前記N型トランジスタをオンさせ、前記出力端子の出力電圧が前記第2の電圧より低い時には前記P型トランジスタをオンさせ、前記出力端子の電圧が前記第1, 第2の電圧間にあるときには前記P型及びN型トランジスタの双方をオフさせることができる。こうして、P型及びN型トランジスタの双方がオンすることを防止し、それによりP型及びN型トランジスタを介して流れる貫通電流を防止でき、低電流化が達成される。

この出力回路のP型及びN型トランジスタは、電流駆動能力を実質的に等しく設定できる。これにより、駆動対象である液晶パネルの電極よりインピーダンス変換回路に移動する電荷量の極性が正、負いずれの場合にも、速やかに液晶駆動電圧に収束させることができる。また、コンデンサ素子を接続しなくても、十分な負荷電流を確保できる。さらに、移動させる必要がある電荷量の極性がサージ等により逆方向に過負荷がかかった場合、N型またはP型トランジスタにより即

座に必要な電荷量を供給することで、対ノイズ性が向上し表示品質向上ができる。

また、前記電圧分割回路は、各一对の第1，第2の電圧間の電位差を可変とすることが好ましい。差動増幅器の特性、特に入出力電圧のオフセットのばらつきに対処できるからである。

各一对の第1，第2の電圧間の電位差は、前記差動増幅回路の入出力電圧間のオフセット電圧の絶対値より大きくすることが好ましい。そうしないと、第1，第2の電圧を異ならせても、第1，第2の出力電圧に電位差が生じない虞があるからである。

前記差動増幅回路は、前記第1の電圧が入力され、前記第1の出力電圧が前記N型トランジスタのゲートに印加されるボルテージフォロア型のN型差動増幅回路と、前記第2の電圧が入力され、前記第2の出力電圧が前記P型トランジスタのゲートに印加されるボルテージフォロア型のP型差動増幅回路と、を含むことができる。

この場合、前記一对の第1，第2の電圧間の電位差は、前記N型差動増幅回路の入出力電圧間の第1のオフセット電圧の絶対値と、前記P型差動増幅回路の入出力電圧間の第2のオフセット電圧の絶対値との加算値より大きく設定すると良い。これにより、第1，第2の出力電圧に確実に電位差を付けることができる。

前記N個のインピーダンス変換回路のうちの少なくとも一つは、前記出力端子と前記第2の給電線との間に前記N型トランジスタと並列に接続され、一定のバイアス電圧がゲートに印加される定電流用N型トランジスタをさらに有することができる。

こうすると、駆動対象である液晶駆動電極からインピーダンス変換回路に移動する電荷量が、正極性の場合よりも負極性の場合の方が大である時に有利となる。定電流用N型トランジスタの駆動により負の電荷を引き込むことができるからである。

前記N個のインピーダンス変換回路の少なくとも他の一つは、前記第1の給電線と前記出力端子との間に前記P型トランジスタと並列に接続され、一定のバイアス電圧がゲートに印加される定電流用P型トランジスタをさらに有することが

できる。

こうすると、駆動対象である液晶駆動電極からインピーダンス変換回路に移動する電荷量が、負極性の場合よりも正極性の場合の方が大である時に有利となる。定電流用P型トランジスタの駆動により正の電荷を引き込むことができるからである。

前記N個のインピーダンス変換回路の少なくとも一つは、前記各一对の第1、第2の電圧のうちの前記第1の電圧が、前記N個の液晶駆動電圧一つと実質的に等しく設定することができる。

こうすると、インピーダンス変換回路の出力端子が、液晶駆動期間内に液晶駆動電圧より低い電圧が加わったとしても、本来の液晶駆動電圧まで比較的速く収束させることができる。

前記N個のインピーダンス変換回路の少なくとも他の一つは、前記各一对の第1、第2の電圧のうちの前記第2の電圧が、前記N個の液晶駆動電圧の他の一つと実質的に等しくすることができる。

こうすると、インピーダンス変換回路の出力端子が、液晶駆動期間内に液晶駆動電圧より高い電圧が加わったとしても、本来の液晶駆動電圧まで比較的速く収束させることができる。

本発明の他の形態に係る液晶装置は、  
上述の液晶駆動用電源装置と、  
走査電極および信号電極が形成された液晶パネルと、  
前記液晶駆動用電源装置から電源供給を受けて前記走査電極を駆動する走査電極駆動回路と、

前記液晶駆動用電源装置から電源供給を受けて前記信号電極を駆動する信号電極駆動回路と、

を有する。

また、本発明のさらに他の態様に係る電子機器は、その液晶装置を有することを特徴とする。

本発明の液晶装置、電子機器によれば、貫通電流を防止した低消費電流化と、

コンデンサ素子等の実装部品を削除した小型化が図れるため、特に液晶装置を備えた携帯用電子機器に有用である。

〔図面の簡単な説明〕

図 1 は、本発明の実施の形態である液晶駆動用電源装置の回路図である。

図 2 は、図 1 に示す電圧分割回路に抵抗素子を使用した回路図である。

図 3 は、図 2 に示す抵抗素子の一部を可変抵抗素子とした変形例を示す回路図である。

図 4 は、図 1 の第 1，第 2 のインピーダンス変換回路に共用される回路例の回路図である。

図 5 は、図 1 の第 1 のインピーダンス変換回路の他の例を示す回路図である。図 6 は、図 1 の第 2 のインピーダンス変換回路の他の例を示す回路図である。

図 7 は、従来の液晶駆動用電源装置を示す回路図である。

図 8 は、図 7 に示す従来の第 1 のインピーダンス変換回路の回路図である。

図 9 は、図 7 に示す従来の第 2 のインピーダンス変換回路の回路図である。

図 10 は、図 4 のインピーダンス変換回路の出力端子の出力波形を示す特性図である。

図 11 は、図 5 の第 1 のインピーダンス変換回路の出力端子の出力波形を示す特性図である。

図 12 は、図 6 の第 2 のインピーダンス変換回路の出力端子の出力波形を示す特性図である。

図 13 は、走査電極に供給される液晶駆動波形の波形図である。

図 14 は、信号電極に供給される液晶駆動波形の波形図である。

図 15 は、図 1 に示す第 1，第 2 のインピーダンス変換回路の基本構成を示す回路図である。

図 16 は、図 15 に示すインピーダンス変換回路の第 1，第 2 の電圧を共通にした回路例を示す回路図である。

図17は、CMOSインバータの特性を示す特性図である。

図18は、本発明の実施の形態に係る液晶駆動用電源装置の出力回路におけるP型およびN型トランジスタのオン、オフ特性の一例を示す特性図である。

図19は、本発明の実施の形態に係る液晶装置のブロック図である。

[発明を実施するための最良の形態]

以下、本発明の実施の形態を図面を参照して説明する。

(液晶駆動用電源装置の全体説明)

図1は、本実施の形態に係る液晶駆動用電源装置の回路図である。図1に示す液晶駆動用電源装置101は、大別して、電圧分割回路102と、2つの第1のインピーダンス変換回路103と、2つの第2のインピーダンス変換回路104とを有する。

第1、第2のインピーダンス変換回路103、104の基本構成として、図15に示すように、P型演算増幅器110、N型演算増幅器120及びそれらにより駆動される出力回路130を含んで構成される。第1、第2のインピーダンス変換回路103、104の各々は、P型及びN型演算増幅器110、120のマイナス入力端子および出力端子同士をボルテージフォロワ接続することにより構成される。また、P型演算増幅器のプラス入力端子に電圧(+PV)が、N型演算増幅器のプラス入力端子に電圧(+NV)がそれぞれ独立して入力を与えられる。出力回路130は、電源電圧VDDを供給する第1の給電線105と、液晶駆動基準電圧VLCDを供給する第2の給電線106との間に直列接続されたP型トランジスタ132とN型トランジスタ134とを有する。P型およびN型トランジスタ132、134間に出力端子OUTが接続される。このP型トランジスタ132のゲートにはP型差動増幅回路110の出力電圧が印加され、N型トランジスタ134のゲートにはN型差動増幅回路120の出力電圧が印加される。

電圧分割回路102は、高電圧側に電源電圧VDD(電圧V0)が、低電圧側に液晶表示駆動用基準電圧VLCD(電圧V5)が供給され、これらの電圧V0-V5間のN=4個の第1の電圧(+NV1)~(+NV4)及びN=4個の第

2の電圧(+PV1)～(+PV4)を分割して生成する。例えば、第1の電圧(+NVI)と第2の電圧(+PV1)とで一对の第1,第2の電圧を構成している。従って、電圧分割回路102では、N=4対の第1,第2の電圧が生成される。

一对の第1,第2の電圧(+NV1),(+PV1)は、電圧V1を生成する第1のインピーダンス変換回路103の+N入力端子、+P入力端子にそれぞれ供給される。他の一对の第1,第2の電圧(+NV2),(+PV2)は、電圧V2を生成する第2のインピーダンス変換回路104の+N入力端子、+P入力端子にそれぞれ供給される。さらに他の一对の第1,第2の電圧(+NV3),(+PV3)は、電圧V3を生成する第1のインピーダンス変換回路103の+N入力端子、+P入力端子にそれぞれ供給される。さらに他の一对の第1,第2の電圧(+NV4),(+PV4)は、電圧V4を生成する第2のインピーダンス変換回路104の+N入力端子、+P入力端子にそれぞれ供給される。これにより、電圧分割回路102の出力電圧がインピーダンス変換されて電圧V1～V4が生成される。

この時、各電圧VDD、(+NV1)～(+NV4)、(+PV1)～(+PV4)、VLCDの電位関係は、下記の式(1)で示される。

$$VDD > (+NV1) > (+PV1) > (+NV2) > (+PV2) > (+NV3) > (+PV3) > (+NV4) > (+PV4) > VLCD \dots (1)$$

ここで、各一对の第1,第2の電圧の電位差について考察する。一对の第1,第2の電圧に電位差を設ける意義は、図15に示す出力回路130中のP型及びN型トランジスタ132,134が同時にオンすることを防止することにある、それにより第1,第2の給電線105,106間をP型及びN型トランジスタ132,134を介して最大の貫通電流が流れることを防止して、低消費電力化することにある。

図16は、図15に示すP型差動増幅回路110の出力とN型差動増幅回路120の出力とが同一電圧となる形態、すなわち図16に示すインピーダンス変換回路に入力される一对の第1,第2の電圧が共に等しい極限の状態の等価回路で

ある。この場合、P型差動増幅回路110の出力とN型差動増幅回路120の出力とがショートされ、このショートされた同一電圧によりP型及びN型トランジスタ132, 134が駆動される。

このとき、図16中のP型及びN型トランジスタ132, 134の特性は周知のCMOSトランジスタと同じとなり、図17に示すオン、オフ特性を有する。このCMOSトランジスタの特性では、P型及びN型トランジスタ132, 134のゲートに印加される共通電圧が所定の範囲にあるときは、P型及びN型トランジスタ132, 134が同時にオンして最大の貫通電流が流れてしまう。本実施の形態では、そのような最大の貫通電流が流れることを防止するのが目的である。

P型およびN型トランジスタ132, 134が同時にオンして最大の貫通電流が流れることを防止するには、このインピーダンス変換回路に入力される一対の第1, 第2の電圧を異ならせ、それぞれ異なる電圧をP型およびN型トランジスタ132, 134のゲートに印加すればよいことが分かる。このためには、N型及びP型差動増幅回路110, 120のプラス入力端子に入力される一対の第1, 第2の電圧に電位差を設ければ良いことが分かる。なぜなら、P型及びN型差動増幅回路110, 120はそれぞれボルテージフォロア型であり、プラス入力電圧と同一の電圧がその出力として取り出されるからである。

ここで、P型及びN型差動増幅回路110, 120は、それぞれ入力電圧に対して出力電圧が必ずしも一致しない。この入出力電圧の差は、差動増幅回路のオフセット電圧 $V_{OFFSET}$ と称される。

図15に示すようにインピーダンス変換回路の場合において、N型差動増幅回路110の入出力電圧の差である第1のオフセット電圧の絶対値を $|V_{OFFSETN}|$ とし、P型差動増幅回路110の入出力電圧の差である第2のオフセット電圧の絶対値を $|V_{OFFSETP}|$ とする。第1, 第2のオフセット電圧は正、負のいずれかとなるが、ここでは下記の通り最悪の事態を想定してオフセット電圧の絶対値を定義した。

ここで、図1にて電圧 $V_1$ を生成する第1のインピーダンス変換回路103を

例に挙げれば、第1の電圧NVが入力されるN型差動増幅回路120の第1の出力電圧VNと、第2の電圧PVが入力されるP型差動増幅回路110の第2の出力電圧VPとの電位差(VN-VP)が、零となる最悪の場合とは以下の場合である。すなわち、電圧NV1が入力されるN型差動増幅回路120の第1の出力電圧VN=NV1-|VOFFSETN|でかつ、電圧PV1が入力されるP型差動増幅回路110の第2の出力電圧VP=PV1+|VOFFSETP|の場合である。

この場合、VN-VP=NV1-|VOFFSETN|-(PV1+|VOFFSETP|)>0が成立しないと、この第1のインピーダンス変換回路103を構成する図15の出力回路130内のP型およびN型トランジスタ132、134は同時にオンする虞がある。

このためには、|VOFFSETN|+|VOFFSETP|=VOFFSETと定義すると、貫通電流が流れない条件は下記の式(2)で示される。

$$VOFFSET < (+NV1) - (+PV1) \dots\dots (2)$$

このことは、図1に示す他のインピーダンス変換回路104、104でも同様に成立し、下記の式(3)、(4)、(5)を満足する必要がある。

$$VOFFSET < (+NV2) - (+PV2) \dots\dots (3)$$

$$VOFFSET < (+NV3) - (+PV3) \dots\dots (4)$$

$$VOFFSET < (+NV4) - (+PV4) \dots\dots (5)$$

式(2)～(5)で示す電位関係を満たすことで、図15に示すP型トランジスタ132とN型トランジスタ134とが同時にオンして最大の貫通電流が流れることが防止され、消費電流を低減することができる。すなわち、本実施の形態のP型及びN型トランジスタ132、134のオン、オフ特性を、図18に示すようにすることができる。

尚、VDD、V1、V2、V3、V4、VLC Dの電位関係は一般的な液晶駆動電源同様であり、式(6)で示される。

$$VDD = V0 > V1 > V2 > V3 > V4 > V5 = VCDL \dots\dots (6)$$

(電圧分割回路について)

図2は、図1に示す電圧分割回路102の一例であり、電源電圧VDD（電圧V0）を供給する第1の給電線105と、液晶駆動基準電圧（電圧V5）を供給する第2の給電線106との間に5つの第1の抵抗素子201と4つの第2の抵抗素子202とが交互に直列接続して構成される。

4つの第2の抵抗素子202の抵抗値R2, R4, R6, R8は、VDD-VLCD間電圧をVOP、抵抗値R1~R9の総和をRtとした場合、式(7)、(8)に示される。

$$R2 = R4 = R6 = R8 = R_a \dots \dots \dots (7)$$

$$R_a = V_{OFFSET} / (VOP / R_t) \dots \dots \dots (8)$$

また、第1の抵抗素子201の抵抗値R1, R3, R5, R7, R9は、電源電圧VDD、液晶駆動用基準電圧VLCD間の電圧を、液晶駆動電圧の所望のバイアス比に応じて分割して決定する。以下に液晶駆動電圧のバイアス比を1/5バイアス、電圧V1~V4を電圧(+PV1)~(+PV4)を基準とした場合を例にとると、第1の抵抗素子201の抵抗値R1, R3, R5, R7, R9は式(9)、(10)に示される。

$$R1 = R3 = R5 = R7 = R_t / 5 - R_a \dots \dots \dots (9)$$

$$R9 = R_t / 5 \dots \dots \dots (10)$$

図3は、図1に示す電圧分割回路102の他の例あり、第1, 第2の給電線105, 106間に5つの抵抗素子301と4つの可変抵抗素子302とを交互に直列接続して構成される。

5つの抵抗素子301の抵抗値R1, R3, R5, R7, R9は上述した式(9)、(10)に示される通りである。4つの可変抵抗素子302の抵抗値R2, R4, R6, R8を可変とすることにより、半導体集積回路内の製造ばらつき等によるオフセット電圧ばらつきを吸収可能としている。調整後の各抵抗値R2, R4, R6, R8は、上述した式(7)を満たすことを条件とする。

(第1, 第2のインピーダンス変換回路の構成例について)

図4は、図1に示す第1のインピーダンス変換回路103及び第2のインピーダンス変換回路104に共用されるインピーダンス回路400の一例を示してい

る。

このインピーダンス変換回路400は、定電流回路401、P型差動増幅回路402、N型差動増幅回路403及び出力回路404を有している。出力回路404内には、第1、第2の給電線105、106間に直列接続された実質的に同一の電流駆動能力を有するP型トランジスタ405、N型トランジスタ406を有し、各トランジスタ405、406の間に出力端子OUTが接続されている。

P型差動増幅回路402とN型差動増幅回路403のマイナス入力端子は互いに接続され、各プラス入力端子(+N、+P)には一对の第1、第2の電圧がそれぞれ独立して印加される。

出力回路404のP型トランジスタ405は、そのゲートにP型差動増幅回路402の出力電圧が印加され、そのソースには電源電圧VDDが供給される。出力回路404のN型トランジスタ406は、そのゲートにN型差動増幅回路403の出力電圧が印加され、そのソースに液晶駆動用基準電圧VLCDが供給される。P型トランジスタ405とN型トランジスタ406のドレイン同士は接続され、そこに出力端子OUTが接続されている。

以下に、図10を参照して、図4に示すインピーダンス変換回路400にて電圧V1のインピーダンス変換を実施する場合について説明をする。

図10は、図4に示すインピーダンス変換回路400の出力端子OUTの出力波形を示している。

図10中の符号1001はN型トランジスタ406の動作期間、符号1002はP型トランジスタ405の動作期間、符号1003はP型差動増幅回路402及びN型差動増幅回路403の未動作期間の一例を示す。

図4における出力回路404は、図1に図示されるように出力端子OUTをボルテージフォロワ接続することによって、N型差動増幅回路403はその+N端子への入力電圧(+NV1)以上の電圧でN型トランジスタ406をオンさせ、P型差動増幅回路は+P端子への入力電圧(+PV1)以下の電圧でP型トランジスタ405をオンさせる。

この基本動作によると、P型トランジスタ405、N型トランジスタ406共

に未動作となる期間（オフ期間）1003では、ボルテージフォロワ接続によって決められた電圧（+NV1）と電圧（+PV1）と間の電圧V1に出力端子OUTに現れ、出力回路404としては最大の貫通電流が生じない状態を維持することができる。

電圧V1の維持状態から、出力端子OUTの電圧が、駆動される液晶パネル側の電極の電位変動により電圧（+NV1）以上になる場合がある（図10中の符号1001参照）。この場合、インピーダンス変換回路400のマイナス入力端子の電圧も上がるので、N型差動増幅回路403の出力電圧が上がり、N型トランジスタ406がオンする。この結果、出力端子OUTの電圧が（+NV1）以下に下げられる（図10の1001の状態）。

そして、出力端子OUTの電圧が+N端子への入力電圧（+NV1）と等しくなると、N型トランジスタ406がオフすることにより、電圧NV1，PV1間の電圧V1に収束する。

これとは逆に、出力端子OUTの電圧が、駆動される液晶パネル側の電極の電位変動により電圧（+PV1）以下になる場合がある（図10中の符号1002参照）。この場合、インピーダンス変換回路400のマイナス入力端子の電圧も下がるので、P型差動増幅回路402の出力電圧が下がり、P型トランジスタ407がオンする。この結果、出力端子OUTの電圧が（+PV1）以上に引き上げられる（図10の1002の状態）。

そして、出力端子OUTの電圧が+P端子への入力電圧（+PV1）と等しくなると、P型トランジスタ407がオフすることにより、電圧NV1，PV1間の電圧V1に収束する。

なお、上述の基本動作は他の電圧V2～V4を生成する場合にも同様である。（第1，第2のインピーダンス変換回路の他の構成例について）

図5は、図1の第1のインピーダンス変換回路103の他の例を示す回路図である。この第1のインピーダンス変換回路103は、定電流回路501、P型差動増幅回路502、N型差動増幅回路503及び出力回路504を有している点で、図4に示すインピーダンス変換回路400と共通する。また、出力回路50

4が、P型トランジスタ505及びN型トランジスタ506を有する点でも、図4に示すインピーダンス変換回路400と共通する。図4の回路と相違する点は、出力端子OUTと第2の給電線106との間に接続されたN型トランジスタ507を有する点である。このN型トランジスタ507のゲートには定電流回路501の出力電圧が印加される。ただし、N型トランジスタ507は可能な限り、定電流量を小さくしたトランジスタである。

図6は、図1の第2のインピーダンス変換回路104の他の例を示す回路図である。この第2のインピーダンス変換回路104は、定電流回路601、P型差動増幅回路602、N型差動増幅回路603及び出力回路604を有している点で、図4に示すインピーダンス変換回路400と共通する。また、出力回路604が、P型トランジスタ605及びN型トランジスタ606を有する点でも、図4に示すインピーダンス変換回路400と共通する。図4の回路と相違する点は、第1の給電線105と出力端子OUTとの間に接続されたP型トランジスタ607を有する点である。このP型トランジスタ607のゲートには定電流回路601の出力電圧が印加される。ただし、P型トランジスタ607は可能な限り、定電流量を小さくしたトランジスタである。

次に、図11、図12を参照して、図5、図6に示す回路の動作について説明をする。

図11は、図5のインピーダンス変換回路103の出力端子OUTの出力波形を示した図である。

符号1101はN型トランジスタ506の動作期間、符号1102はP型トランジスタ505の動作期間、符号1103はP型及びN型トランジスタ505、507共に未動作期間、符号1104は定電流用N型トランジスタ507の動作期間（安定期）、符号1105は定電流用N型トランジスタ507の動作期間（過渡期）をそれぞれ示す。

図5に示す第1のインピーダンス変換回路103の基本動作は図4に示すインピーダンス変換回路400の基本動作と同一であるが、N型トランジスタ507が定電流回路501の出力によって動作している点のみが異なる。すなわち、P

型トランジスタ 505、N型トランジスタ 506 が共に未動作である期間（オフ期間） 1104 では、可能な限り定電流量を小さくした N型トランジスタ 507 が動作している。これにより、第 1 のインピーダンス変換回路 103 の出力端子 OUT の電圧は、入力電圧（+PV1）または入力電圧（+PV3）側にシフトした電圧 V1 または V3 に保持される（図 11 の符号 1104 の状態）。

この電圧 V1 または V3 の維持状態より、出力端子 OUT の電圧が、駆動される液晶パネル側の電極の電位変動により電圧（+NV1）または（+NV3）以上になる場合がある（図 11 中の符号 1101 及び図 13，14 中の符号 1101 参照）。この場合、第 1 のインピーダンス変換回路 103 のマイナス入力端子の電圧も上がるので、N型差動増幅回路 503 の出力電圧が上がり、N型トランジスタ 506 がオンする。この結果、出力端子 OUT の電圧が電圧（+NV1）または（+NV3）以下に下げられる（図 11 の 1101 の状態）。

そして、出力端子 OUT の電圧が入力電圧（+NV1）または（+NV3）と等しくなると、N型トランジスタ 506 がオフするが、N型トランジスタ 507 の動作によって出力端子 OUT の電圧はさらに下がり、入力電圧（+PV1）または（+PV3）とほぼ等しい電圧に収束する（図 11 の 1105 の状態）。

これとは逆に、出力端子 OUT の電圧が、駆動される液晶パネル側の電極の電位変動により電圧（+PV1）または（+PV3）以下になる場合がある（図 11 中の符号 1102 及び図 13，14 中の符号 1102 参照）。この場合、第 1 のインピーダンス変換回路 103 のマイナス入力端子の電圧も下がるので、P型差動増幅回路 502 の出力電圧が下がり、P型トランジスタ 505 がオンする。この結果、出力端子 OUT の電圧が（+PV1）以上に引き上げられる（図 11 の 1102 の状態）。

そして、出力端子 OUT の電圧が +P 端子への入力電圧（+PV1）または（+PV3）と等しくなると、P型トランジスタ 505 がオフし、N型トランジスタ 507 の安定期の動作によって、出力端子 OUT の電圧は電圧（+PV1）または（+PV3）の電圧に維持される。

次に、図 6 に示す第 2 のインピーダンス変換回路 104 を図 12 を参照して説

明する。図6に示す第2のインピーダンス変換回路104の基本動作は図4に示すインピーダンス変換回路400の基本動作と同一であるが、P型トランジスタ607が定電流回路601の出力によって動作している点のみが異なる。

電圧V2またはV4の維持状態（図12の参照符号1204の状態）より、出力端子OUTの電圧が、駆動される液晶パネル側の電極の電位変動により電圧（+NV2）または（+NV43）以上になる場合がある（図12中の符号1201及び図13，14中の符号1201参照）。この場合、第2のインピーダンス変換回路104のマイナス入力端子の電圧も上がるので、N型差動増幅回路603の出力電圧が上がり、N型トランジスタ606がオンする。この結果、出力端子OUTの電圧が電圧（+NV2）または（+NV4）以下に下げられる（図12の1201の状態）。

そして、出力端子OUTの電圧が入力電圧（+NV2）または（+NV4）と等しくなると、N型トランジスタ606がオフし、P型トランジスタ507の動作によって、入力電圧（+PV2）または（+PV4）とほぼ等しい電圧に収束する。

これとは逆に、出力端子OUTの電圧が、駆動される液晶パネル側の電極の電位変動により電圧（+PV2）または（+PV4）以下になる場合がある（図12中の符号1202及び図13，14中の符号1202参照）。この場合、第2のインピーダンス変換回路104のマイナス入力端子の電圧も下がるので、P型差動増幅回路602の出力電圧が下がり、P型トランジスタ605がオンする。この結果、出力端子OUTの電圧が（+PV2）または（+PV4）以上に引き上げられる（図12の1202の状態）。

そして、出力端子OUTの電圧が+P端子への入力電圧（+PV2）または（+PV4）と等しくなると、P型トランジスタ605がオフするが、P型トランジスタ607の動作によって出力端子OUTの電圧はさらに上昇し、P型トランジスタ607の安定期の動作によって、出力端子OUTの電圧は電圧（+NV2）または（+NV4）の電圧に維持される。

このように、インピーダンス変換回路から駆動対象である電極へと移動させる

必要がある電荷量の極性によって、第 1, 第 2 のインピーダンス変換回路 103, 104 を使い分けている。

(第 1, 第 2 のインピーダンス変換回路のさらに他の構成例について)

図 4 に示すインピーダンス変換回路 400 を、その +N 端子及び +P 端子への入力電圧の設定を下記のようにすることで、図 1 に示す第 1, 第 2 のインピーダンス変換回路 103, 104 で使い分けるできる。また、下記の電圧設定は、図 5、図 6 に示す第 1, 第 2 のインピーダンス変換回路 103, 104 にも同様に適用することができる。

液晶駆動電圧のバイアス比を 1/5 バイアスの場合を例にとると、本例の電圧設定は以下のようなになる。

電圧 V1, V3 を出力する図 1 中の第 1 のインピーダンス変換回路 103 は、駆動対象である電極からこの第 1 のインピーダンス変換回路 103 へと移動させる必要がある電荷量は、図 13, 14 の符号 1101, 1102 の比較から、負極性の電荷量の方が、正極性の電荷量に比べて大きい。なぜなら、正の電荷量は、符号 1101 に示すように  $V0 - V1$  または  $V2 - V3$  の電位差相当分 (1 レベル差) であるのに対して、負の電荷量の最大値は符号 1102 に示すように  $V5 - V1$  の電位差相当分 (4 レベル差) となるからである。このため、下記の式 (11) ~ (14) を満たすように電圧に設定する。

$$+PV1 = V1 \dots\dots\dots (11)$$

$$+PV3 = V3 \dots\dots\dots (12)$$

$$+NV1 - V1 > V_{OFFSET} \dots\dots\dots (13)$$

$$+NV3 - V3 > V_{OFFSET} \dots\dots\dots (14)$$

こうすると、第 1 のインピーダンス変換回路 103 の出力端子 OUT の電圧が、電圧 (+PV1) または (+PV3) 以下の電圧から電圧 V1 または V3 に比較的速く収束するので、その収束に至るまでの間に第 1 のインピーダンス変換回路 103 にて消費される電流を少なくできる。

一方、電圧 V2, V4 を出力する図 1 中の第 2 のインピーダンス変換回路 104 は、駆動対象である電極からこの第 2 のインピーダンス変換回路 104 へと移

動させる必要がある電荷量は、図 13, 14 の符号 1201, 1202 の比較から、正極性の電荷量の方が、負極性の電荷量に比べて大きい。なぜなら、負の電荷量の最大値は符号 1202 に示すように  $V5 - V2$  の電位差相当分（3 レベル差）のであるのに対して、正の電荷量の最大値は符号 1201 に示すように  $V0 - V4$  の電位差相当分（4 レベル差）となるからである。このため、下記の式（15）～（18）を満たすように電圧に設定する。

$$+NV2 = V2 \dots\dots\dots (15)$$

$$+NV4 = V4 \dots\dots\dots (16)$$

$$+PV2 - V2 > VOFFSET \dots\dots\dots (17)$$

$$+PV4 - V4 > VOFFSET \dots\dots\dots (18)$$

こうすると、第 2 のインピーダンス変換回路 104 の出力端子 OUT の電圧が、電圧（+NV1）または（+NV3）以上の電圧から電圧  $V2$  または  $V4$  に比較的速やかに収束するので、その収束に至るまでの間にて第 2 のインピーダンス変換回路 104 にて消費される電流を少なくできる。

その時の抵抗値については、上述した式（7）～（8）及び下記の式（19）に示される。

$$R1 + R2 = R3 = R4 + R5 + R6 = R7 = R8 + R9 = R_t / 5 \dots\dots (19)$$

（液晶装置及び電子機器の説明）

図 19 は、本発明の液晶駆動用電源回路が使用される液晶装置を示している。。この液晶装置は、例えば図 1 に示す構成を有する液晶駆動用電源回路 1300 と、走査電極および信号電極が形成された液晶パネル 1310 と、液晶駆動用電源回路 1300 から電源供給を受けて走査電極を駆動する走査電極駆動回路 1320 と、液晶駆動用電源回路 1300 から電源供給を受けて信号電極をそれぞれ駆動する信号電極駆動回路 1330 とを有する。

単純マトリクス型液晶装置の場合、走査電極はコモン電極、信号電極はセグメント電極と称されるが、本発明は他の駆動方式例えばアクティブマトリクス型液晶装置にも適用できることは言うまでもない。

また、この液晶装置を有して構成される電子機器としては、この液晶装置をモニターとして用いる各種電子機器、あるいは液晶装置をライトバルブとして用いるプロジェクター等を挙げることができる。特に、本発明では消費電力を低減できることから、携帯電話、モバイルコンピュータ、電子手帳、ゲーム機器、液晶ビューファイダー付きビデオカメラ、デジタルカメラなどの携帯用電子機器に特に有用である。

## 請 求 の 範 囲

1. 液晶装置を駆動するために、第1, 第2の基準電圧間のN個の液晶駆動電圧を生成する液晶駆動用電源装置において、

各々の前記N個の液晶駆動電圧以上のN個の第1の電圧と、各々の前記N個の液晶駆動電圧以下のN個の第2の電圧とからなるN対の第1, 第2の電圧（ただし、各対にて第1の電圧 $\neq$ 第2の電圧）を、前記第1, 第2の基準電圧間の電圧を分割して生成する電圧分割回路と、

前記N対の第1, 第2の電圧に基づいて、インピーダンス変換された前記N個の液晶駆動電圧を生成するN個のインピーダンス変換回路と、

を有し、

前記N個のインピーダンス変換回路の各々は、

前記N対の第1, 第2の電圧の中の一対の第1, 第2の電圧が入力されるボルテージフォロア型の差動増幅回路と、

前記第1の基準電圧を供給する第1の給電線と前記第2の電圧を供給する第2の給電線との間に直列接続されたP型トランジスタ及びN型トランジスタを含み、前記P型トランジスタと前記N型トランジスタの間に接続された出力端子より前記液晶駆動電圧を出力する出力回路と、

を有し、前記N型トランジスタは前記差動増幅回路からの第1の出力電圧によりオン、オフ制御され、前記P型トランジスタは前記差動増幅回路からの第2の出力電圧によりオン、オフ制御されることを特徴とする液晶駆動用電源装置。

2. 請求項1において、

前記差動増幅回路は、前記出力端子の出力電圧が前記第1の電圧より高い時には前記N型トランジスタをオンさせ、前記出力端子の出力電圧が前記第2の電圧より低い時には前記P型トランジスタをオンさせ、前記出力端子の電圧が前記第1, 第2の電圧間にあるときには前記P型及びN型トランジスタの双方をオフさせることを特徴とする液晶駆動用電源装置。

3. 請求項1または2において、

前記P型及びN型トランジスタの電流駆動能力が実質的に等しいことを特徴とする液晶駆動用電源装置。

4. 請求項1乃至3のいずれかにおいて、

前記電圧分割回路は、各一对の第1, 第2の電圧間の電位差が可変であることを特徴とする液晶駆動用電源装置。

5. 請求項1乃至4のいずれかにおいて、

各一对の第1, 第2の電圧間の電位差は、前記差動増幅回路の入出力電圧間のオフセット電圧の絶対値より大きいことを特徴とする液晶駆動用電源装置。

6. 請求項1乃至4のいずれかにおいて、

前記差動増幅回路は、

前記第1の電圧が入力され、前記第1の出力電圧が前記N型トランジスタのゲートに印加されるボルテージフォロア型のN型差動増幅回路と、

前記第2の電圧が入力され、前記第2の出力電圧が前記P型トランジスタのゲートに印加されるボルテージフォロア型のP型差動増幅回路と、

を含むことを特徴とする液晶駆動用電源装置。

7. 請求項6において、

前記一对の第1, 第2の電圧間の電位差は、前記N型差動増幅回路の入出力電圧間の第1のオフセット電圧の絶対値と、前記P型差動増幅回路の入出力電圧間の第2のオフセット電圧の絶対値との加算値より大きいことを特徴とする液晶駆動用電源装置。

8. 請求項6または7において、

前記N個のインピーダンス変換回路のうちの少なくとも一つは、前記出力端子と前記第2の給電線との間に前記N型トランジスタと並列に接続され、一定のバイアス電圧がゲートに印加される定電流用N型トランジスタをさらに有することを特徴とする液晶駆動用電源装置。

9. 請求項8において、

前記N個のインピーダンス変換回路の少なくとも他の一つは、前記第1の給電線と前記出力端子との間に前記P型トランジスタと並列に接続され、一定のバイ

アス電圧がゲートに印加される定電流用P型トランジスタをさらに有することを特徴とする液晶駆動用電源装置。

10. 請求項6乃至9のいずれかにおいて、

前記N個のインピーダンス変換回路の少なくとも一つは、前記各一对の第1、第2の電圧のうちの前記第1の電圧が、前記N個の液晶駆動電圧一つと実質的に等しく設定されていることを特徴とする液晶駆動用電源装置。

11. 請求項10において、

前記N個のインピーダンス変換回路の少なくとも他の一つは、前記各一对の第1、第2の電圧のうちの前記第2の電圧が、前記N個の液晶駆動電圧の他の一つと実質的に等しく設定されていることを特徴とする液晶駆動用電源装置。

12. 請求項1乃至11のいずれかに記載の液晶駆動用電源装置と、

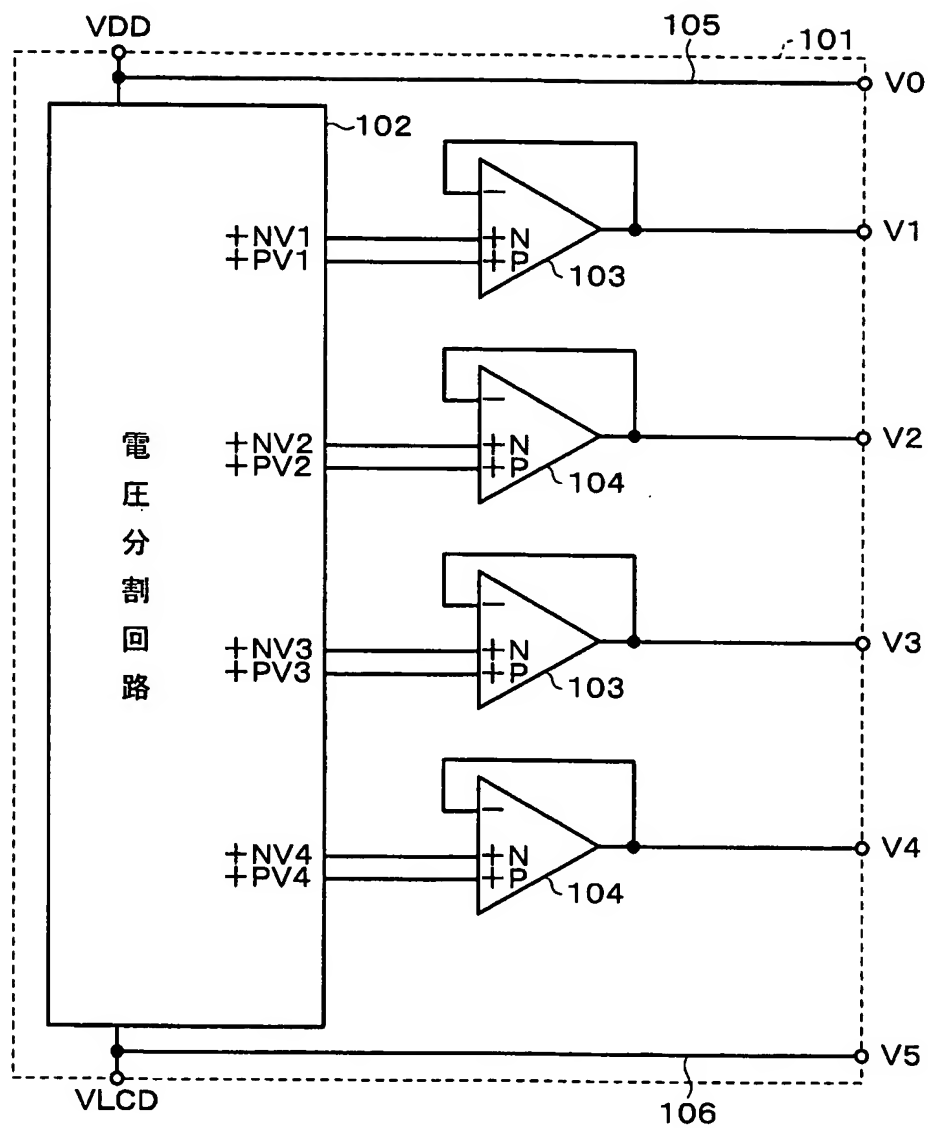
走査電極および信号電極が形成された液晶パネルと、

前記液晶駆動用電源装置から電源供給を受けて前記走査電極を駆動する走査電極駆動回路と、

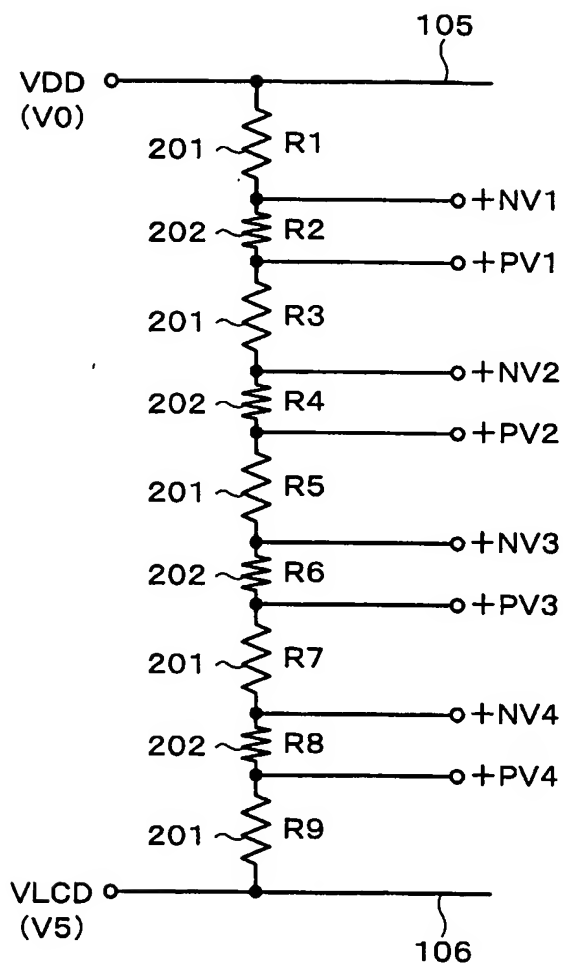
前記液晶駆動用電源装置から電源供給を受けて前記信号電極を駆動する信号電極駆動回路と、

を有することを特徴とする液晶装置。

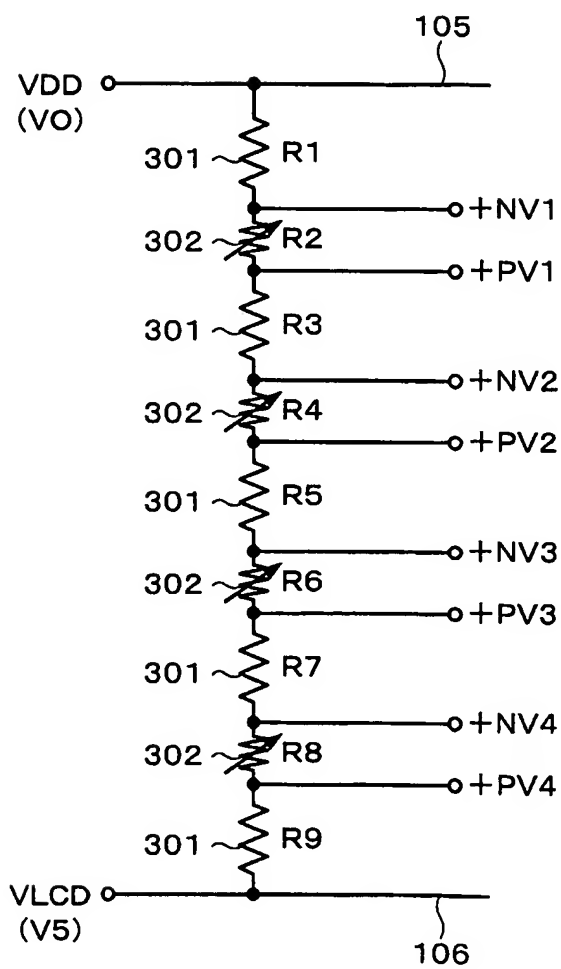
13. 請求項12に記載の液晶装置を有することを特徴とする電子機器。

**FIG. 1**

2/16

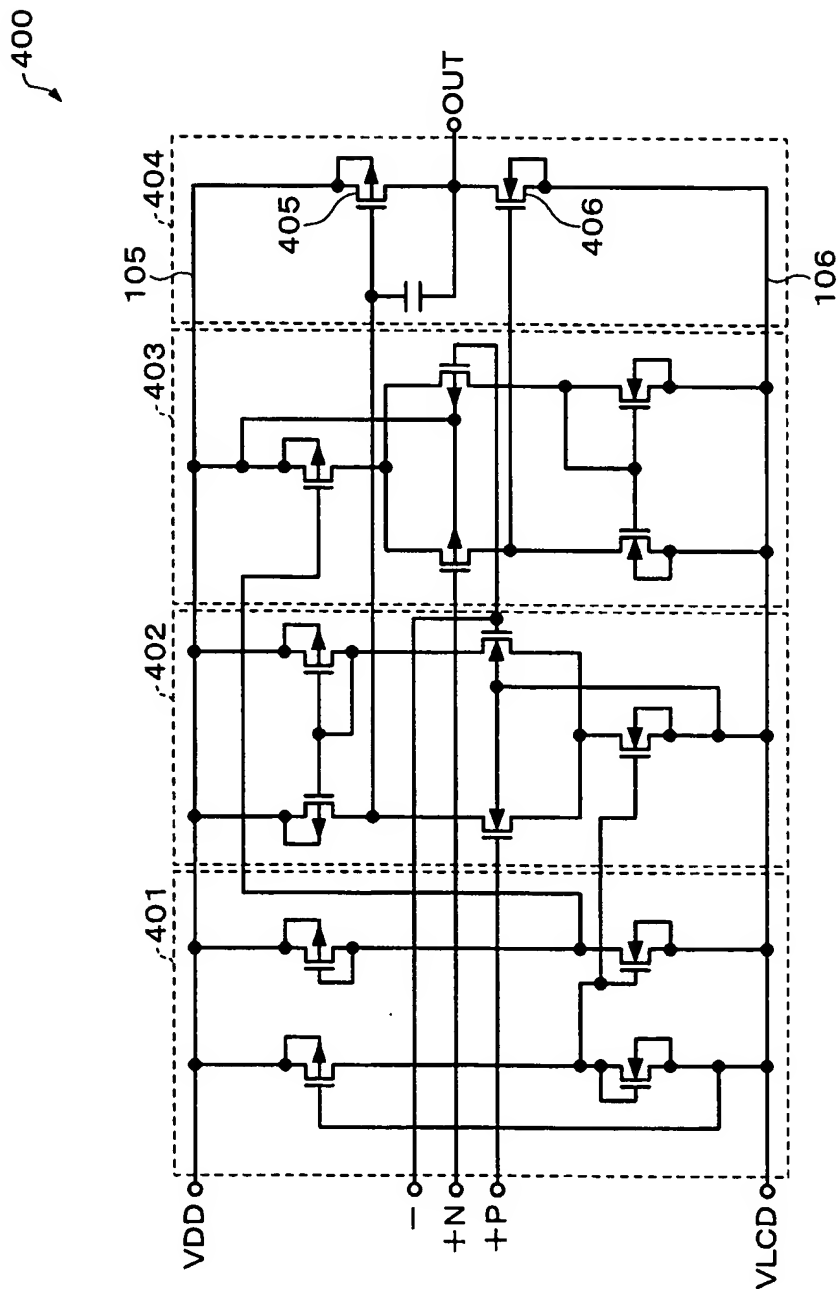
**FIG. 2**

3/16

**FIG. 3**

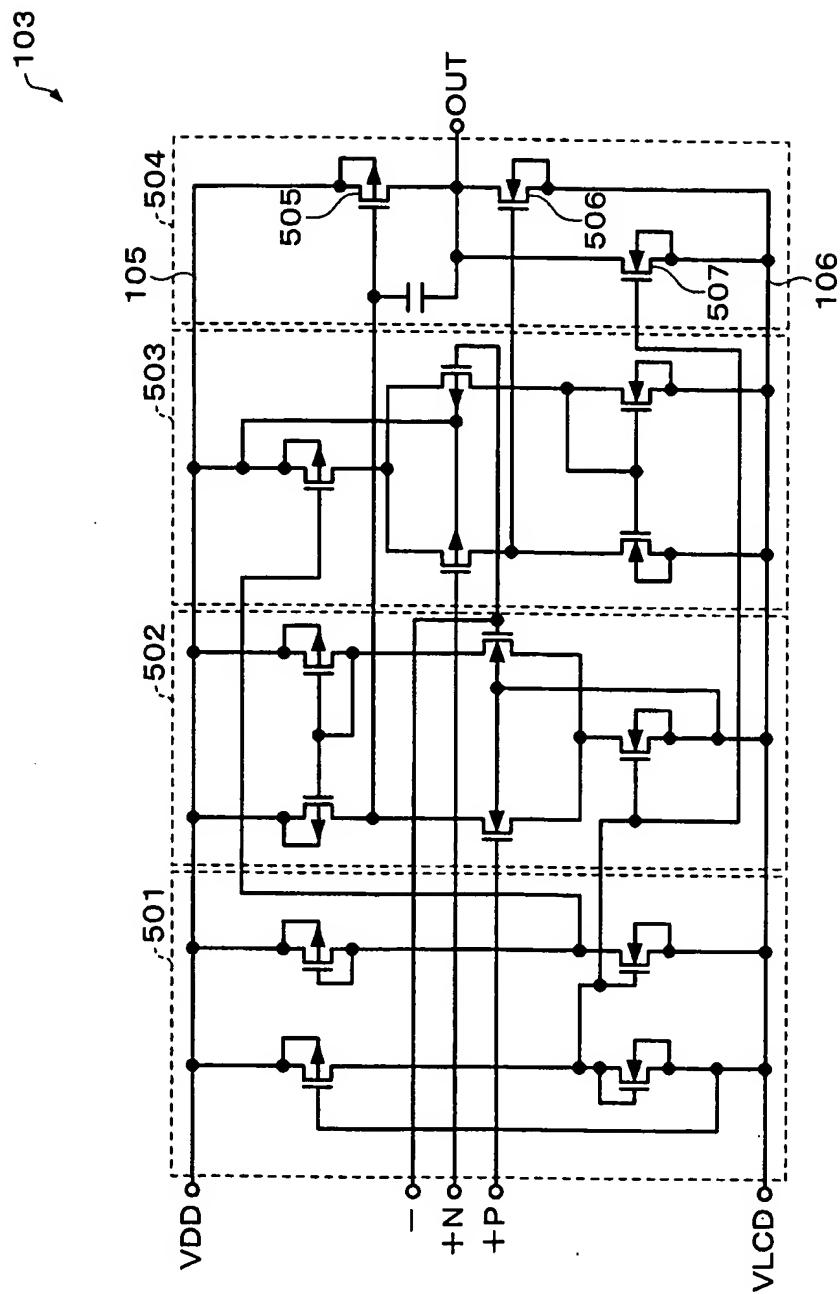
4/16

FIG. 4



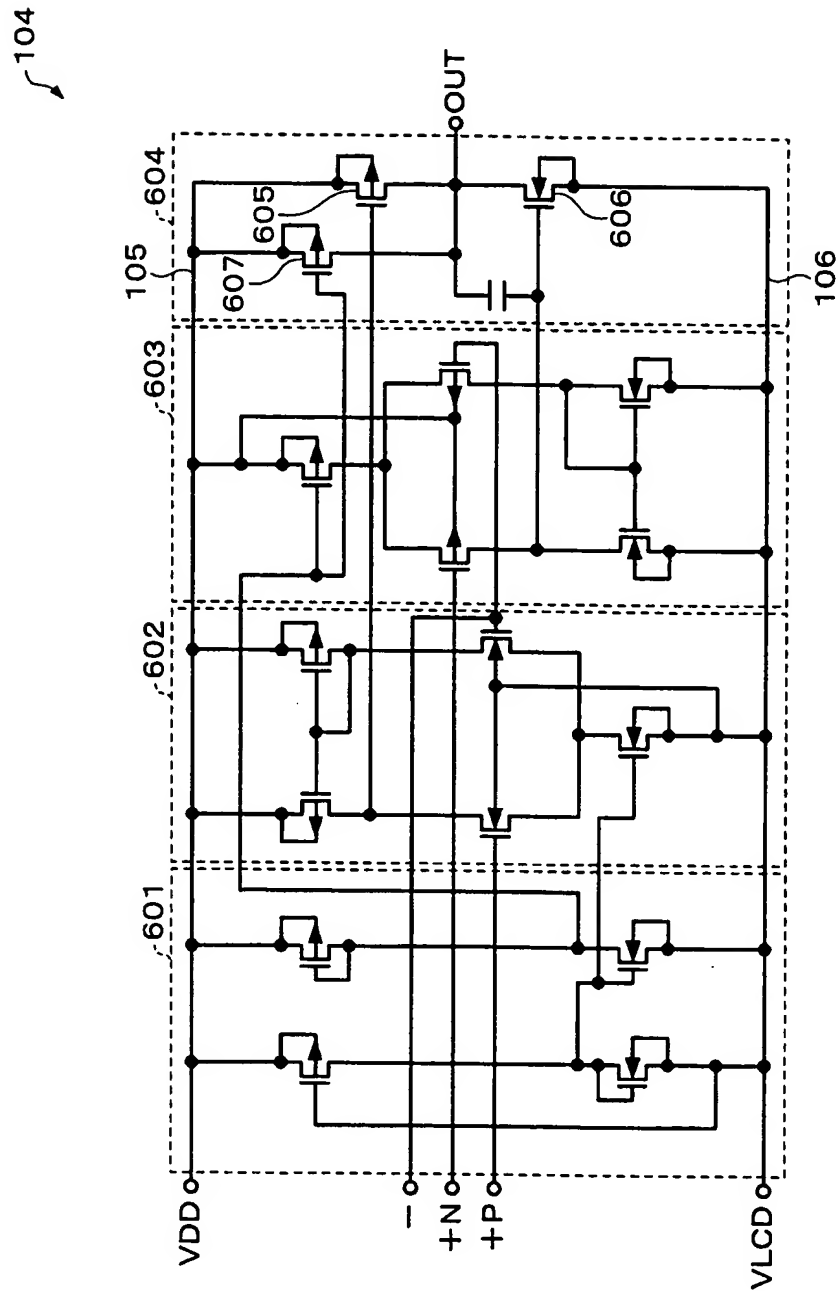
5/16

FIG. 5

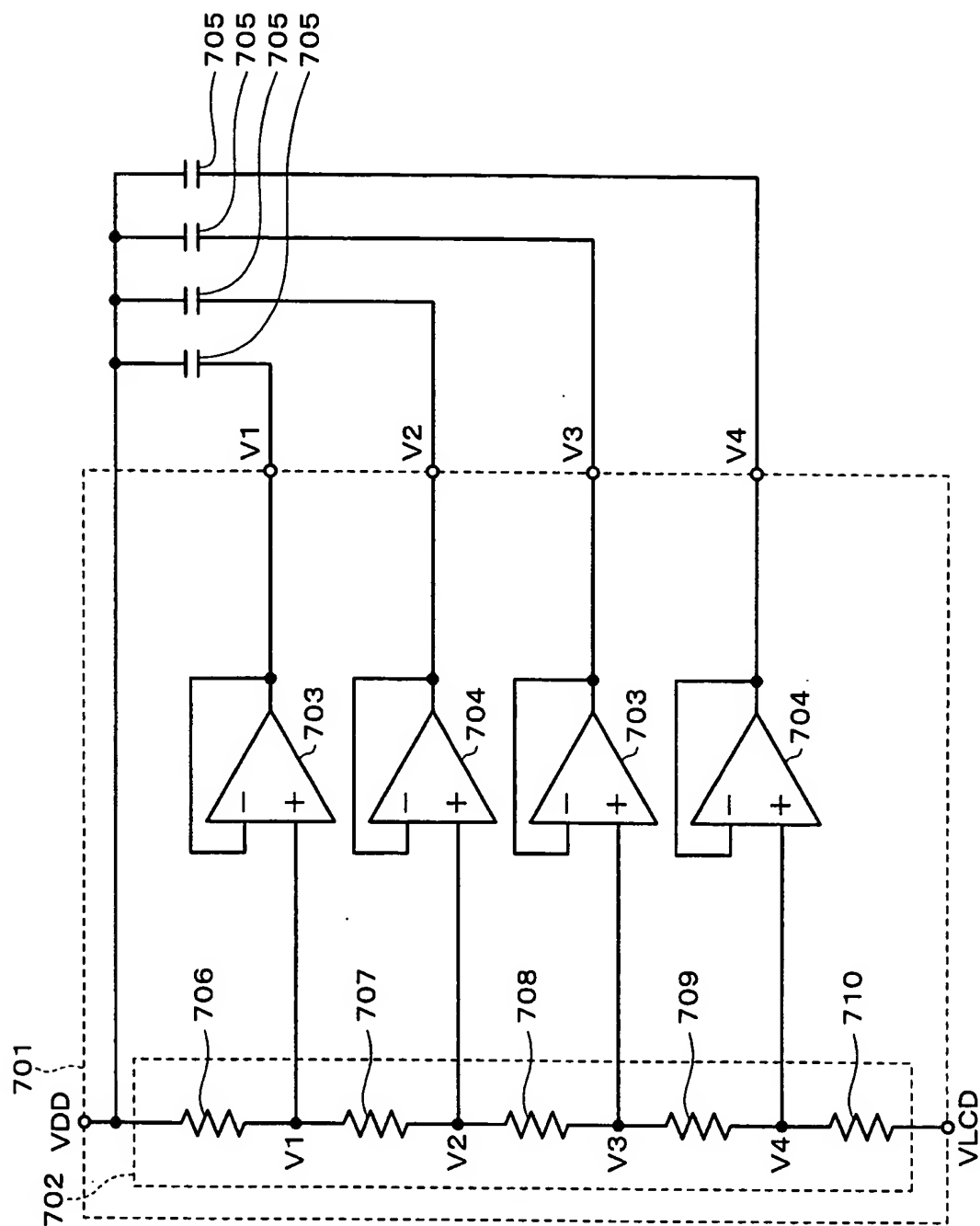


6/16

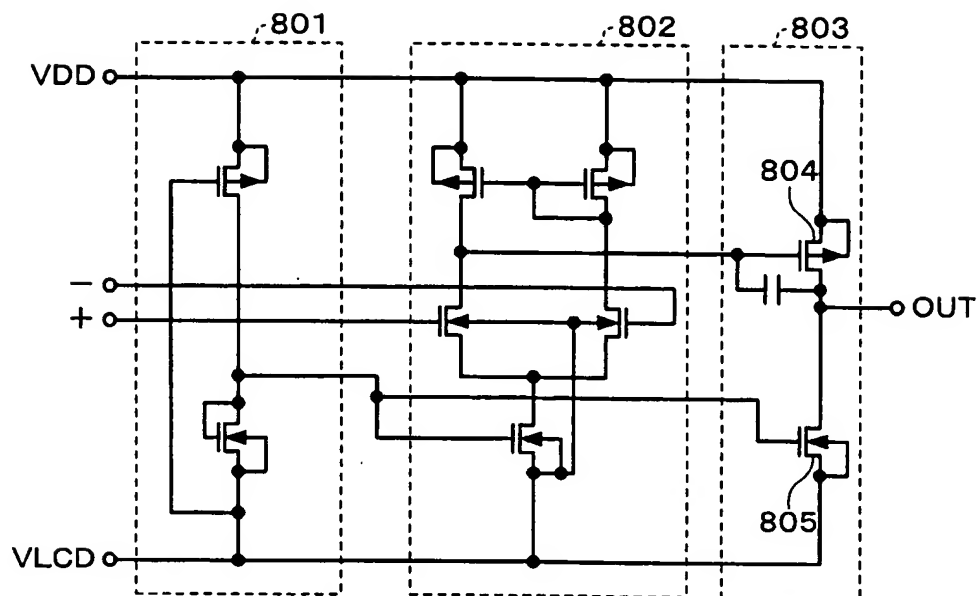
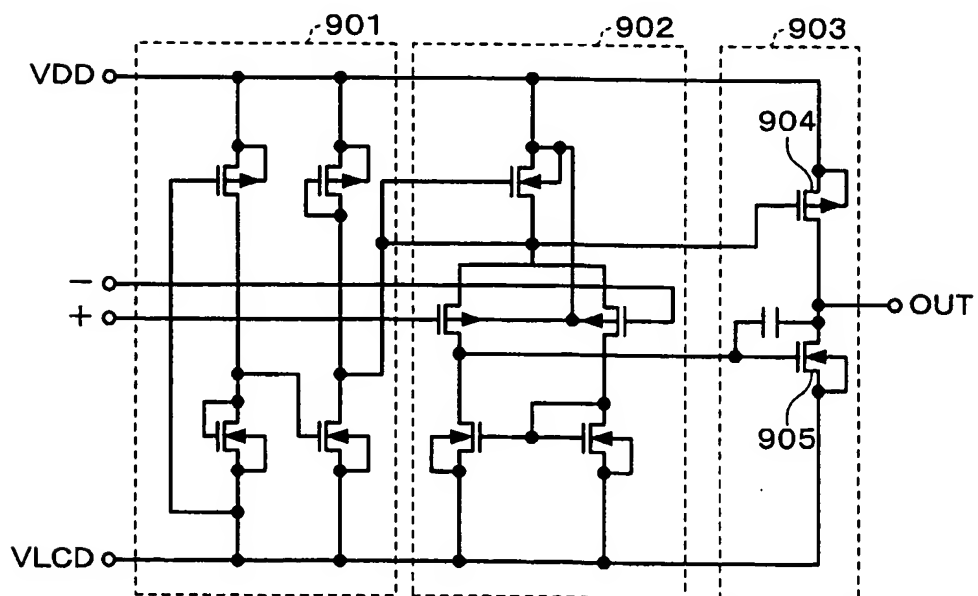
FIG. 6



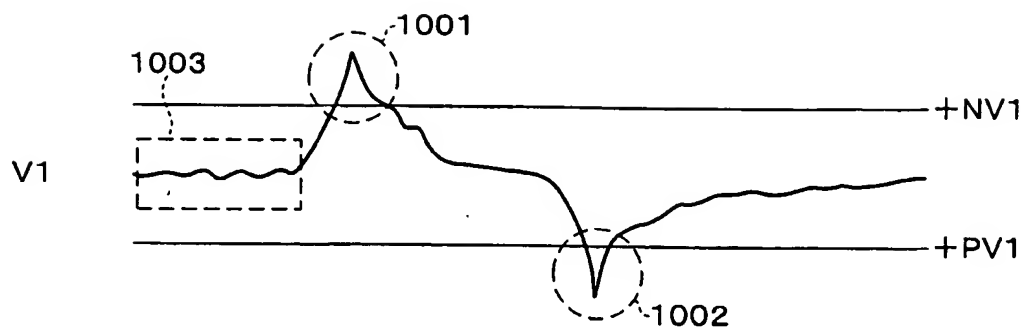
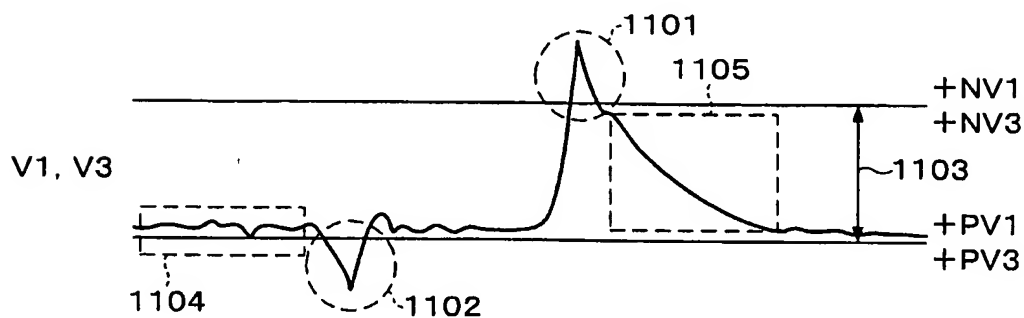
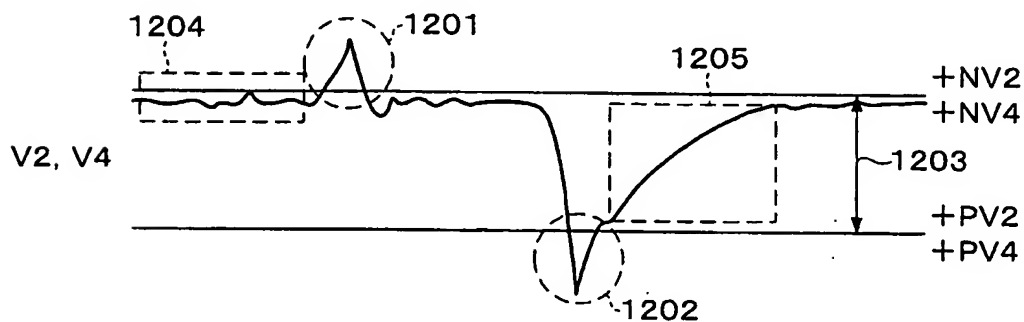
7/16

**FIG. 7**

8/16

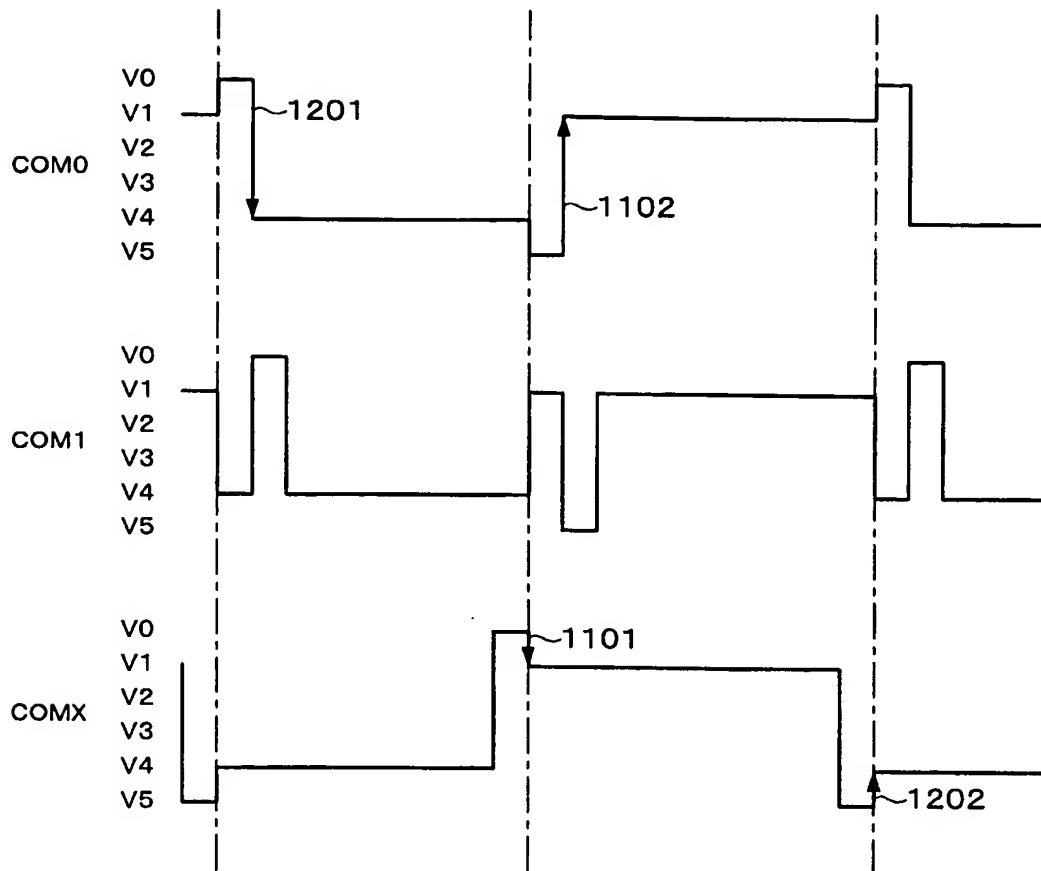
**FIG. 8****FIG. 9**

9/16

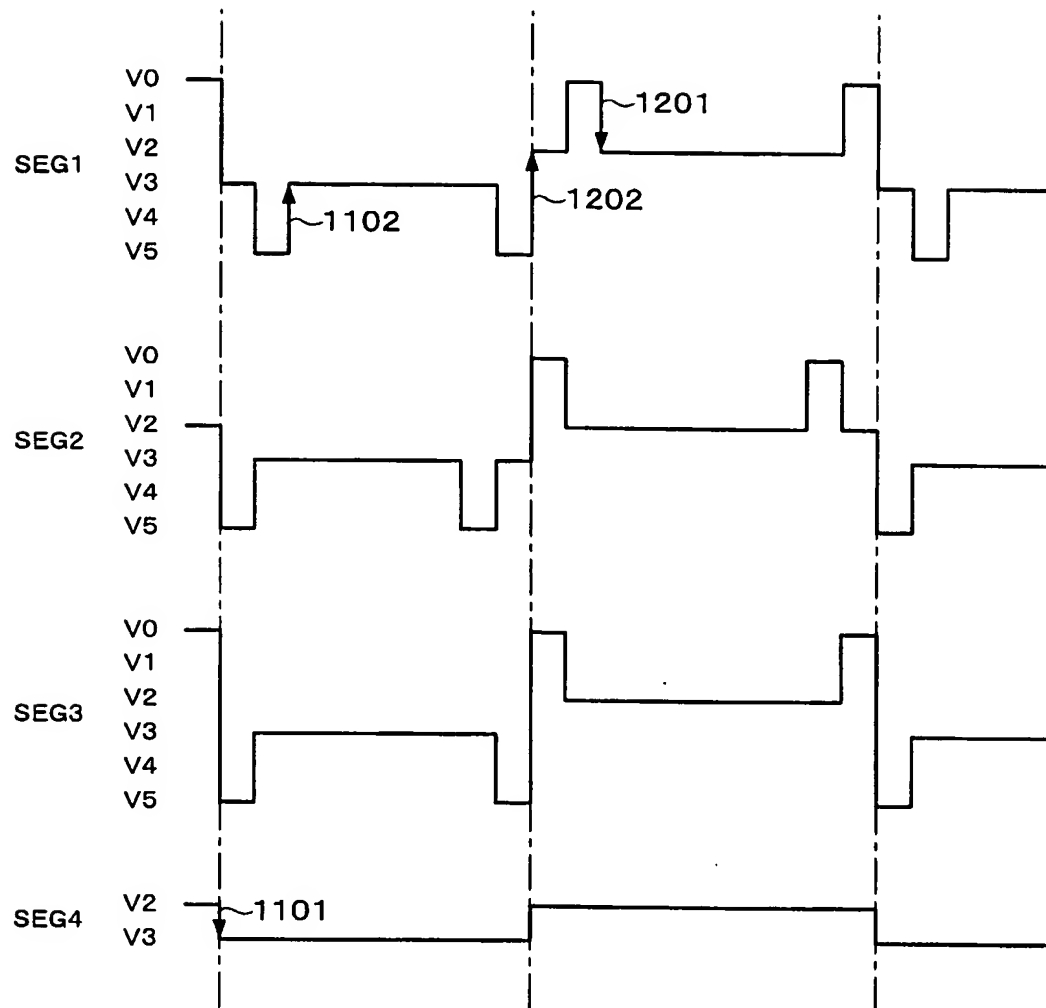
**FIG. 10****FIG. 11****FIG. 12**

10/16

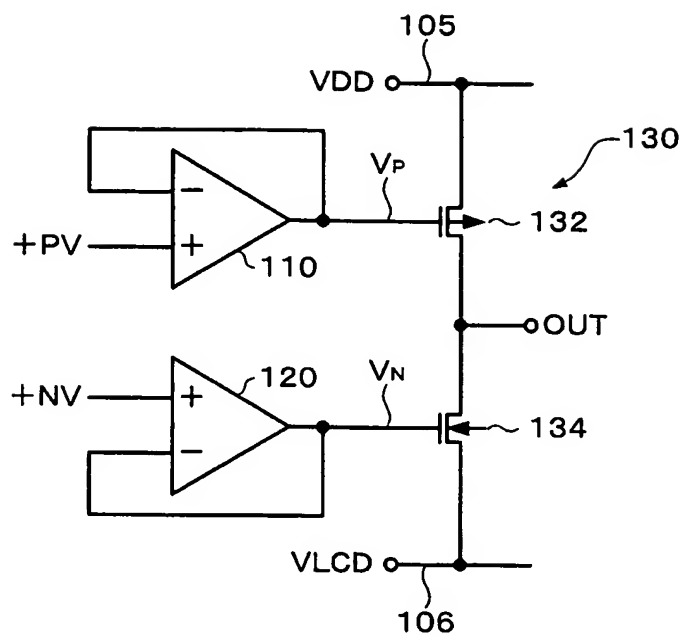
**FIG. 13**



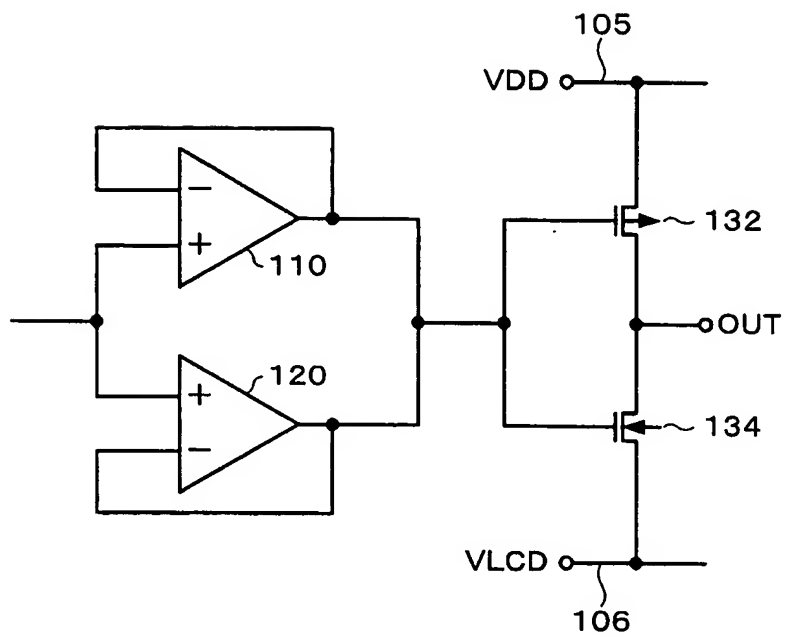
11/16

**FIG. 14**

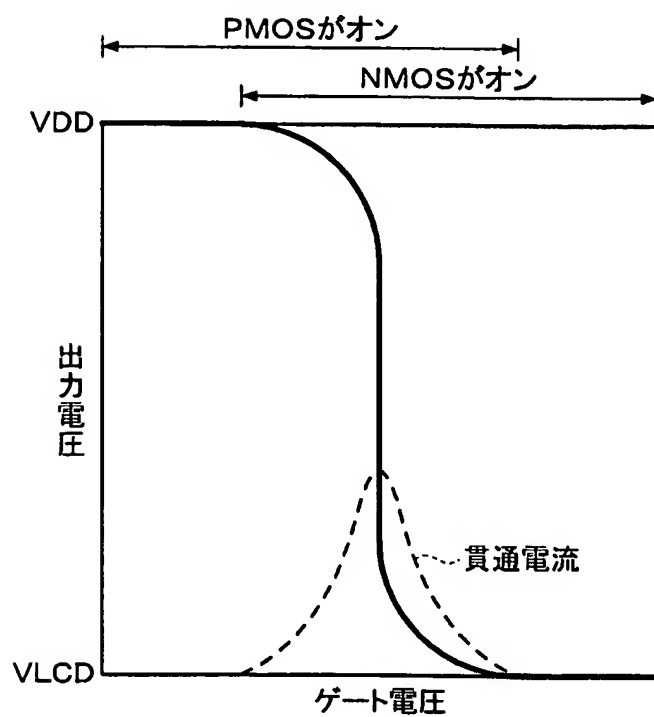
12/16

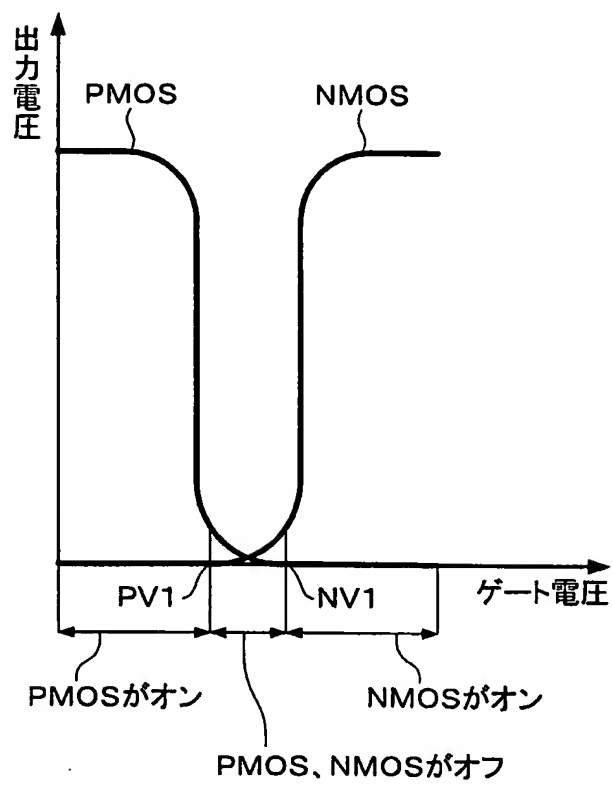
**FIG. 15**

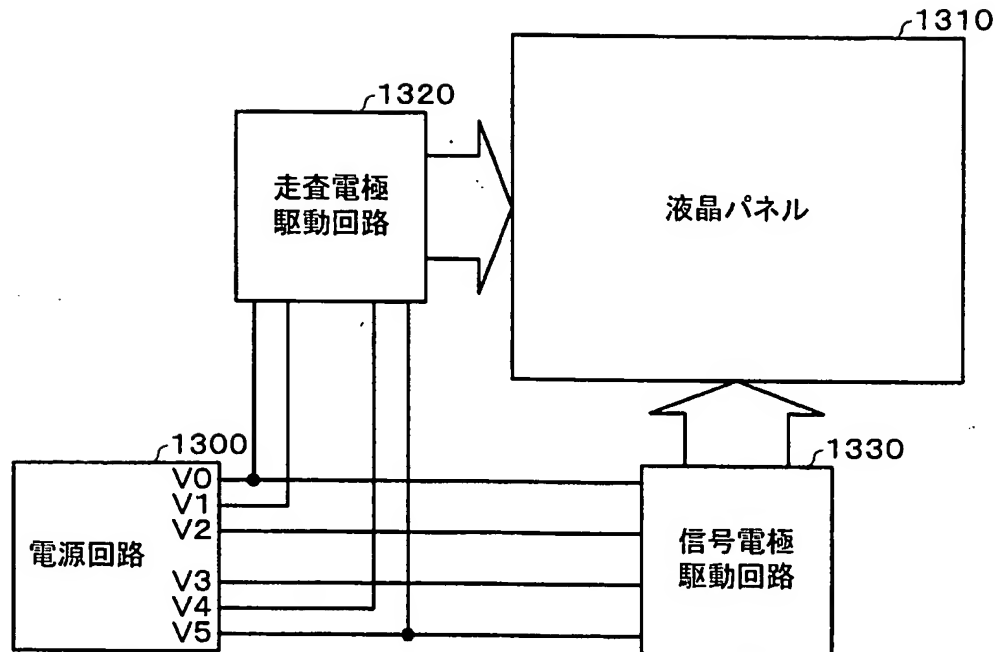
13/16

**FIG. 16**

14/16

**FIG. 17**

**FIG. 18**

**FIG. 19**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00038

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G02F1/133, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G02F1/133, G09F3/36, G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 56-65190, A (NEC Corporation), 02 June, 1981 (02.06.81), Fig. 2 (Family: none)	1-13
A	JP, 56-115176, A (NEC Corporation), 10 September, 1981 (10.09.81), Fig. 2 (Family: none)	1-13
A	JP, 6-214527, A (Sharp Corporation), 05 August, 1994 (05.08.94), Fig. 1 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:          "A" document defining the general state of the art which is not considered to be of particular relevance          "E" earlier document but published on or after the international filing date          "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)          "O" document referring to an oral disclosure, use, exhibition or other means          "P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention          "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone          "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art          "&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
03 April, 2000 (03.04.00)

Date of mailing of the international search report  
18 April, 2000 (18.04.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, Cl<sup>7</sup> G02F1/133, G09G3/36

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, Cl<sup>7</sup> G02F1/133, G09G3/36, G05F1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 56-65190, A (日本電気株式会社) 2. 6月. 1981 (02. 06. 81) 第2図 (ファミリーなし)	1-13
A	J P, 56-115176, A (日本電気株式会社) 10. 9月. 1981 (10. 09. 81) 第2図 (ファミリーなし)	1-13
A	J P, 6-214527, A (シャープ株式会社) 5. 8月. 1994 (05. 08. 94) 第1図 (ファミリーなし)	1-13

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

03. 04. 00

国際調査報告の発送日

18.04.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後 藤 時 男



2X

7809

電話番号 03-3581-1101 内線 3293